

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 253/023

In re patent application of

Dae-Joung KIM, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE AND
SEMICONDUCTOR DEVICE WITH OVERLAY MARK

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA. 22313-1450

Sir:


The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2002-47249, filed August 9, 2002.

Respectfully submitted,

June 25, 2003
Date


Eugene M. Lee
Reg. No. 32,039
Richard A. Sterba
Reg. No. 43,162

LEE & STERBA, P.C.
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2002년 제 47249 호
Application Number PATENT-2002-0047249

출원년월일 : 2002년 08월 09일
Date of Application AUG 09, 2002

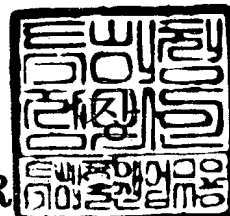
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 09 월 02 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.08.09
【발명의 명칭】	반도체 장치의 제조방법 및 오버레이 검사마크를 가진 반도체 장치
【발명의 영문명칭】	method for manufacturing semiconductor device and semiconductor device with the overlay mark
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	김대중
【성명의 영문표기】	KIM,Dae Joung
【주민등록번호】	671123-1627921
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 968 신명아파트 632-1701
【국적】	KR
【발명자】	
【성명의 국문표기】	오석환
【성명의 영문표기】	OH,Seok Hwan
【주민등록번호】	660203-1005511
【우편번호】	449-845
【주소】	경기도 용인시 수지읍 죽전리 832-1 벽산아파트 206-1503
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
박영우 (인)

【수수료】

【기본출원료】 18 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 8 항 365,000 원

【합계】 394,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 장치의 제조방법 및 오버레이 검사마크를 가진 반도체 장치에 관한 것으로, 본 발명의 방법은 반도체 기판의 소자형성영역과 제1마크형성영역에 소자형성용 제1패턴을 동시에 형성하고, 상기 결과물 상의 상기 소자형성영역과 제2마크형성영역에 소자형성용 제2패턴을 동시에 형성하고, 상기 제1마크형성영역의 제1패턴과 제2마크형성영역의 제2패턴의 미스 얼라인먼트를 검사한다.

따라서, 본 발명에서는 실제 소자형성영역의 패턴들과 동일한 형태로 오버레이 검사마크를 형성함으로써 소자형성영역의 패턴들과 오버레이 검사마크 간의 오버레이 미스 매칭을 최대한 줄일 수 있다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

반도체 장치의 제조방법 및 오버레이 검사마크를 가진 반도체 장치(method for manufacturing semiconductor device and semiconductor device with the overlay mark)

【도면의 간단한 설명】

도 1은 웨이퍼의 평면구조를 나타낸 도면.

도 2는 오버레이 검사마크의 측단면 구조를 나타낸 도면.

도 3은 오버레이 검사마크의 평면 구조를 나타낸 도면.

도 4는 본 발명에 의한 오버레이 검사마크의 평면 구조를 나타낸 도면.

도 5는 본 발명에 의한 스캐터링 바가 형성된 오버레이 검사마크의 마스크 구조를 나타낸 도면.

도 6은 본 발명에 의한 포토장비의 블록도.

도 7은 본 발명에 의한 반도체 장치의 제조방법을 설명하기 위한 흐름도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체 장치의 제조방법 및 오버레이 검사마크를 가진 반도체 장치에 관한 것으로서, 특히 소자형성영역의 패턴과 동일한 형태의 패턴으로 오버레이 검사마크를 형성함으로써 소자형성영역과 오버레이 마크 사이의 미스 매칭을 최대한 줄일 수 있는 제조방법 및 장치에 관한 것이다.

- <9> 일반적으로 반도체 장치는 퇴적, 사진식각 등의 단위공정을 반복하여 반도체 기판 상에 회로패턴들을 적층하여 회로소자를 구현하는 것이다.
- <10> 특히, 사진식각공정은 웨이퍼 상에 포토레지스트막을 도포하고, 도포된 포토레지스트막을 회로패턴이 형성된 마스크를 통하여 노광한 다음에 현상하여 마스크에 형성된 회로패턴이 포토레지스트 패턴으로 전사되도록 한다. 이어서, 전사된 포토레지스트패턴을 식각마스크로 사용하여 하부막을 식각함으로써, 하부막에 회로패턴을 형성한다.
- <11> 이와 같은 사진식각공정을 반복하여 패턴층들을 적층함에 있어서, 하부 패턴과 상부패턴의 얼라인먼트가 매우 중요하다.
- <12> 통상적으로 이와 같은 얼라인먼트는 사진식각공정의 노광장비에서 레티클 얼라인먼트, 웨이퍼 얼라인먼트를 통하여 이루어지는 바, 얼라인먼트 조정은 노광 및 현상 후에 얻어진 포토레지스트패턴의 오버레이 검사에 의해 얻어진 보정 데이터에 의해 이루어진다.
- <13> 오버레이 검사는 하부 패턴층에 형성된 오버레이 마크(어미자)와 상부 패턴층의 오버레이 마크(아들자) 사이의 좌우 상하 어긋남, 회전, 직교 등을 측정하여 오버레이 보정값을 생성하고 생성된 보정값은 노광장비의 얼라인먼트 보정값으로 다음 노광공정에 반영된다.
- <14> 이와 같은 오버레이 검사마크는 통상 박스형으로 웨이퍼 다이 절단선(스크라이브 라인) 상에 형성된다.
- <15> 그러나, 종래의 오버레이 검사마크는 소자형성영역의 실제 패턴과는 다른 치수와 형상을 가지므로, 실제 패턴의 오버레이 검사를 대변하지 못하는 경우가 생기게 된다.

<16> 한국특허공개 2001-45386호에서는 셀 패턴과 동일한 크기의 라인 및 스페이스로 이루어진 셀 매칭 어댑터를 갖는 모니터링 마스크 제작시 스크라이브 라인에 형성하고, 노광 공정 이후에 상기 셀 매칭 어댑터의 라인 및 스페이스의 길이의 변화를 오버레이 장비를 이용하여 측정한 후 그 값을 기준값과 비교하여 노광시 사용된 에너지 및 포커스 값을 측정하는 기술을 개시하고 있다.

<17> 상기 특허의 셀매칭 어댑터는 아플자 주변에만 형성되고 선폭이 셀 패턴과 동일한 사이즈를 가지는 것이지 실제로 셀패턴과 동일한 형상을 가지는 구조는 아니므로 실제 패턴의 오버레이를 반영할 수 없었다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명의 목적은 이와 같은 종래 기술의 문제점을 해결하기 위하여 오버레이 검사 마크의 제1마크는 실제 패턴의 제1패턴으로 형성하고, 제2마크는 실제 패턴의 제2패턴으로 형성함으로써 실제 패턴의 오버레이 상황을 측정할 수 있는 반도체 장치의 제조방법 및 반도체 장치를 제공하는 데 있다.

【발명의 구성 및 작용】

<19> 상기 목적을 달성하기 위하여 본 발명의 제조방법은 반도체 기판의 소자형성영역과 제1마크형성영역에 소자형성용 제1패턴을 동시에 형성하고, 상기 결과물 상의 상기 소자형성영역과 제2마크형성영역에 소자형성용 제2패턴을 동시에 형성하고, 상기 제1마크형성영역의 제1패턴과 제2마크형성영역의 제2패턴의 미스 얼라인먼트를 검사하는 것을 특징으로 한다.

- <20> 본 발명에서, 제1마크형성영역은 박스형 어미자 형성영역이고, 상기 제2마크형성영역은 박스형 아들자 형성영역이고, 제1패턴은 디램 셀영역의 액티브 영역패턴이고, 제2패턴은 디램셀영역의 워드라인패턴으로 하는 것을 예로 들 수 있다.
- <21> 본 발명에서, 광학근접효과보정(OPC : Optical Proximity Correction)을 위하여 제1마크형성영역의 제1패턴에 대응하는 마스크 상의 패턴 에지에는 스캐터링 바가 형성되고, 상기 제2마크형성영역의 제2패턴에 대응하는 마스크 상의 패턴 에지에는 스캐터링 바가 형성된다.
- <22> 본 발명의 장치는 반도체 기관의 제1마크형성영역에 소자형성영역의 제1패턴과 동일한 공정에 의해 동시에 동일 형태로 형성되는 제1마크와, 상기 제1마크가 형성된 결과물의 제2마크형성영역에 상기 소자형성영역의 제2패턴과 동일한 공정에 의해 동시에 동일 형태로 형성되는 제2마크를 구비한다.
- <23> 이하 첨부한 도면을 참조하여 본 발명을 보다 상세하게 설명하고자 한다.
- <24> 도 1은 반도체 웨이퍼의 구성을 나타낸다. 웨이퍼(10)는 스크라이브 라인(14)에 의해 복수의 다이(12)들로 분할된다. 각 다이(12)들에는 회로패턴이 형성되는 소자형성영역이다. 스크라이브 라인(14)에는 웨이퍼 얼라인먼트를 위한 얼라인먼트 마크가 형성된다.
- <25> 도 2 및 도 3을 참조하면, 오버레이 검사마크(20)는 웨이퍼(10) 상에 외측 얼라인먼트 마크인 박스형 어미자 패턴(22)을 형성하고, 어미자 패턴(22)이 형성된 층(23) 상부에 아들자 패턴(24)을 형성한다. 오버레이 검사마크(20)가 형성된 웨이퍼를 오버레이

측정장비에서 어미자 패턴(22)과 아들자 패턴(24)의 상하간격(dy), 좌우 간격(dx)을 측정하여 미스 얼라인먼트를 측정한다.

<26> 도 4를 참조하면 본 발명에서 어미자 패턴(22)은 예컨대, 디램 셀영역의 액티브영역 패턴(32)들로 구성하고, 아들자 패턴(24)은 액티브영역 패턴(32)을 가로지르는 워드라인 패턴(34)들로 구성한다.

<27> 도 5를 참조하면, 본 발명에 의한 노광 마스크는 마스크 기판(40) 상에 크롬으로 형성된 주패턴(42)과 보조피쳐(Assisted bar or scattering bar or intensity leveling bar)(44)를 형성하여서 오버레이 검사마크용 주패턴이 웨이퍼(20) 상에 그대로 전사되도록 구성한다.

<28> 광리소그라피는 일반적으로 포토마스크의 패턴을 광학렌즈를 통하여 웨이퍼에 복사하는 방법을 사용하고 있다. 상을 투영시키는 광학계가 저대역 필터로 작용하기 때문에 웨이퍼에 맺히는 상은 원래의 모양에서 왜곡된 형태가 나타난다.

<29> 이 영향은 사각형 모양의 마스크를 사용했을 경우 높은 주파수 부분, 모서리 부분이 투과되지 않으므로 원형의 패턴을 보이게 된다. 마스크 패턴의 크기가 큰 경우에는 기본 공간 주파수가 낮으므로 비교적 많은 차수의 주파수까지 투과가 가능하여 원래의 패턴과 유사한 상이 맺히게 된다. 그러나, 패턴의 사이즈가 작아지면 공간 주파수가 높아지므로 투과되는 개수가 감소하고 따라서 왜곡은 점점 심해지게 된다.

<30> 근접효과보정(OPC : Optical Proximity Correction)은 이와 같은 왜곡을 감안하여 미리 마스크의 모양을 변형하여 웨이퍼에 맺히는 최종 패턴이 원하는 모양이 되도록 하는 것이다.

<31> 근접효과는 이웃한 피처가 패턴 의존적 변이를 만들어 내도록 상호작용을 할 때 발생한다. 예컨대, 같은 디멘존을 가지도록 설계되었으나 레이아웃 내에서 타 피처의 근접도가 다르게 놓여진 라인들은 현상된 후에 서로 같은 디멘존을 갖지 않는다. 따라서, 조밀하게 밀집된 라인들의 군은 이격된 라인과 비교했을 때, 다르게 전사되는 경향이 있다. 확실한 라인 넓이가 일정하게 재생되지 않을 때, 오버레이 측정치가 왜곡될 수 있다.

<32> 따라서, 본 발명에서는 셀패턴과 동일한 형태 및 사이즈로 형성되는 오버레이 검사마크를 웨이퍼 상에 정밀하게 전사하기 위해서는 마스크 상에 오버레이 검사마크패턴에 대해서 스캐터링 바를 채택하여 광학 근접효과를 최소화시켜야 한다.

<33> 오버레이 검사마크의 주패턴(42)은 밀집에지(42a)와 고립에지(42b)를 가진다. 그러므로, 마스크 상의 고립에지(42b)의 주변에 밀집에지와 동일한 광학적 근접효과를 제공하기 위하여 밀집에지들 사이의 폭과 동일한 폭만큼 이격된 위치에 스캐터링 바(44)를 형성한다. 스캐터링 바(44)의 선폭은 웨이퍼 상에 전사되지 않도록 주패턴의 최소 선폭 이하로 한다.

<34> 도 6은 본 발명에 의한 노광장치의 제어시스템의 블록구성을 나타낸다.

<35> 포토장비(100)는 코팅처리부(102), 얼라인 및 노광처리부(104) 및 현상처리부(106)를 포함한다.

<36> 포토장비(100)는 웨이퍼(W) 상에 피식각층을 데포(deposition)하고, 피식각층 상에 포토레지스트 패턴을 형성하고, 포토레지스트 패턴을 식각 마스크로 사용하여 피식각층을 식각하는 포토리소그래피(photo lithography) 공정에 의해 웨이퍼 상에 하나의 패턴

층을 형성한다. 이와 같은 공정을 각층마다 반복하여 다층의 패턴층들을 중첩 형성하여 원하는 회로패턴을 웨이퍼 상에 형성함으로써 하나의 웨이퍼 상에 다수의 집적회로칩들을 만든다.

<37> 그러므로, 포토리소그래피 공정은 반도체 소자의 제조공정에 있어서 생산수율에 지대한 영향을 미치는 매우 중요한 핵심 공정이라 할 수 있다.

<38> 포토공정은 크게 코팅공정, 얼라인먼트 및 노광공정, 현상공정으로 구분될 수 있다.

<39> 코팅처리부(102)에서는 웨이퍼 표면의 습기를 제거하고, 도포될 포토레지스트와 웨이퍼 표면과의 밀착성을 증가시키기 위하여 프리 베이크 공정과 고압 순수와 브러쉬를 이용하여 웨이퍼 표면의 불순물을 제거하는 스크러빙공정, 균일한 코팅을 위한 스핀공정, 솔벤트를 휘발시키고 포토레지스트를 경화시키는 소프트 베이크 공정 등을 수행한다.

<40> 얼라인 및 노광처리부(104)에서는 스탬퍼의 기준마크에 의해 레티클을 정렬시키고, 웨이퍼와 레티클을 정렬시키는 프리 얼라인공정, 웨이퍼의 플랫존을 고정시키는 얼라인 공정, 노출량을 결정하여 포토레지스트를 노광시키는 노광공정 등을 수행한다.

<41> 현상처리부(106)에서는 정제과 효과를 제거하는 포스트 노광공정, UV광과 반응한 부분을 선택적으로 제거하는 현상공정, 웨이퍼에 남겨진 포토레지스트 패턴이 충분히 열적 환경에 견딜 수 있도록 경화시키는 하드 베이크 공정 등을 수행한다.

<42> 이와 같은 포토공정과 식각공정을 거쳐서 도 7에 도시한 바와 같이 반도체 기판의 소자형성영역과 스크라이브 라인 상의 어미자 형성영역에 제1 패턴, 즉 액티브 영역패턴을 형성한다(S202).

- <43> 이어서, 결과물 상에 절연막 및 게이트전극층을 퇴적하고 포토공정을 재차 수행한다.
- <44> 즉, 코팅처리부(104)에서 절연막 상에 포토레지스트를 도포하여 포토레지스트막을 형성하고, 노광처리부(104)에서 아들자 패턴이 형성된 마스크를 적용하여 포토레지스트막을 노광하고 현상처리부(106)에서 노광된 포토레지스트막을 현상하여 포토레지스트 패턴을 형성한다. 형성된 포토레지스트 패턴을 식각마스크로 사용하여 워드라인 전극층을 선택 식각한다. 따라서, 아들자 형성영역에는 워드라인과 동일한 형태의 제2패턴이 형성된다(S204).
- <45> 식각된 웨이퍼를 오버레이 측정기(110)에서 셀패턴과 동일한 형태 및 사이즈를 가지고 형성된 어미자와 아들자로 구성된 오버레이 검사마크를 측정한다(S206).
- <46> 이와 같이 포토장비(100)를 통하여 웨이퍼(W) 상에 포토레지스트 패턴을 형성시킨 다음에 하부 패턴층과의 중첩된 위치의 미스얼라인먼트를 측정하여 오차허용한계 이내의 값을 가지는가를 오버레이 측정기(110)를 통하여 반드시 측정을 통해 확인해야 한다.
- <47> 오버레이 측정기(110)에서는 중첩된 패턴층들의 모든 패턴들을 모두 비교하여 미스얼라인먼트를 측정할 수는 없다. 따라서, 웨이퍼(W) 상에 부가된 미스얼라인먼트 측정 사이트, 즉 오버레이 검사마크를 통하여 미스얼라인먼트를 측정하고 있다.
- <48> 웨이퍼(W) 상에 형성된 미스얼라인먼트 사이트(MS)들 중 측정 사이트를 지정한 후에 지정된 사이트의 하부 패턴층에 형성된 외측 얼라인먼트 마크(22)와 상부 패턴층에 형성된 내측 얼라인먼트 마크(24) 사이의 dx/dy 를 측정하게 되고, 이 데이터에 대한 회귀분석을 통해 다음과 같은 미스얼라인먼트 파라미터들을 추출하게 된다.

- <49> 1)웨이퍼 관련 파라미터
- <50> 오프셋(Offset);얼라인먼트 패턴이 좌우, 상하로 어긋난 정도.
- <51> 스케일링(SCaling);렌즈에 의해 웨이퍼 상의 패턴이 좌우, 상하로 확대된 정도.
- <52> 회전(W ROTation); 얼라인먼트 패턴의 축이 얼라인먼트 기준축에 대해 틀어진 정도.
- <53> 직교(ORTogonality); 웨이퍼 얼라인 축이 서로 틀어진 정도.
- <54> 2)레티클에 관련된 파라미터
- <55> 레티클 회전(reticle ROTation);레티클이 부정확하게 세팅되어 얼라인먼트 패턴의 축이 얼라인먼트 기준축에 대해 틀어진 정도.
- <56> 레티클 축소(reticle REDuction);레티클이 부정확하게 세팅되어 웨이퍼 상의 패턴이 좌우 상하로 확대된 정도.
- <57> 스탬퍼인 노광시스템(104)은 웨이퍼 스테이지, 렌즈계, 레티클 및 광원계를 포함한다. 광원계의 광이 레티클의 마스크 패턴 및 렌즈계를 통하여 웨이퍼 상에 조사되면 웨이퍼 상에 레티클의 마스크 패턴이 축소투영된다.
- <58> 따라서, 웨이퍼 얼라인먼트는 웨이퍼 스테이지에 재치된 웨이퍼의 X축 및 Y축 어긋남, 회전, 직교 등의 보정이 필요하고, 웨이퍼 상에 투영된 상의 좌우 틀어짐 등의 보정이 필요하다. 레티클 얼라인먼트는 레티클의 회전 및 축소 등의 보정이 필요하다.
- <59> 따라서, 오버레이 측정기(110)는 10개의 측정 파라미터, OF-X, OF-Y, SC-X, SC-Y, ORT, W-ROT, RED-X, RED-Y, ROT-X, ROT-Y를 측정시간 및 로트 ID와 함께 오버레이 보정값 제어기(120)에 제공한다(S208).

<60> 보정값 제어기(120)에서는 제공된 보정값에 의하여 장비 입력값을 생성하여 스텝퍼(104)에 제공하여 스텝버의 오버레이 보정을 통한 미스 얼라인먼트를 보정한다(S210).

<61> 따라서, 이와 같은 오버레이 측정에 의한 얼라인먼트 보정에 의해 다음 웨이퍼의 액티브영역과 워드라인의 미스 얼라인먼트는 감소되게 된다.

<62> 비록 본 발명의 구성요소들이 특정한 실시예와 관련되어 기술되었지만 본 발명은 수많은 다른 방법으로도 구현될 수 있다. 결론적으로, 설명하는 과정에서 묘사된 특정한 실시예는 절대로 한정적으로 해석되기를 의도한 것이 아니라는 것이다. 본 실시예의 구체적인 부분에 대한 참조는 본 발명의 필수 구성요소라고 간주되는 특징만을 기술하고 있는 청구범위의 보호영역을 한정하려는 의도가 아니다.

【발명의 효과】

<63> 상술한 바와 같이 본 발명에서는 소자형성영역과 동일한 형상 및 사이즈로 오버레이 검사마크를 형성함으로써, 오버레이 검사시 실제 패턴의 미스얼라인먼트를 측정할 수 있으므로 오버레이 미스매칭을 해결할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판의 소자형성영역과 제1마크형성영역에 소자형성용 제1패턴을 동시에 형성하는 단계;

상기 결과물 상의 상기 소자형성영역과 제2마크형성영역에 소자형성용 제2패턴을 동시에 형성하는 단계; 및

상기 제1마크형성영역의 제1패턴과 제2마크형성영역의 제2패턴의 미스 얼라인먼트를 검사하는 단계를 구비한 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 2】

제1항에 있어서, 상기 제1마크형성영역은 박스형 어미자 형성영역이고, 상기 제2마크형성영역은 박스형 아들자 형성영역인 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 3】

제2항에 있어서, 상기 제1패턴은 디램 셀영역의 액티브 영역패턴이고, 상기 제2패턴은 디램셀영역의 워드라인패턴인 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 4】

제1항에 있어서, 상기 제1마크형성영역의 제1패턴에 대응하는 마스크 상의 패턴 에지에는 스캐터링 바가 형성된 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 5】

제1항에 있어서, 상기 제2마크형성영역의 제2패턴에 대응하는 마스크 상의 패턴 에지에는 스캐터링 바가 형성된 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 6】

반도체 기판의 제1마크형성영역에 소자형성영역의 제1패턴과 동일한 공정에 의해 동시에 동일 형태로 형성되는 제1마크; 및

상기 제1마크가 형성된 결과물의 제2마크형성영역에 상기 소자형성영역의 제2패턴과 동일한 공정에 의해 동시에 동일 형태로 형성되는 제2마크를 구비한 것을 특징으로 하는 오버레이 검사 마크를 가진 반도체 장치.

【청구항 7】

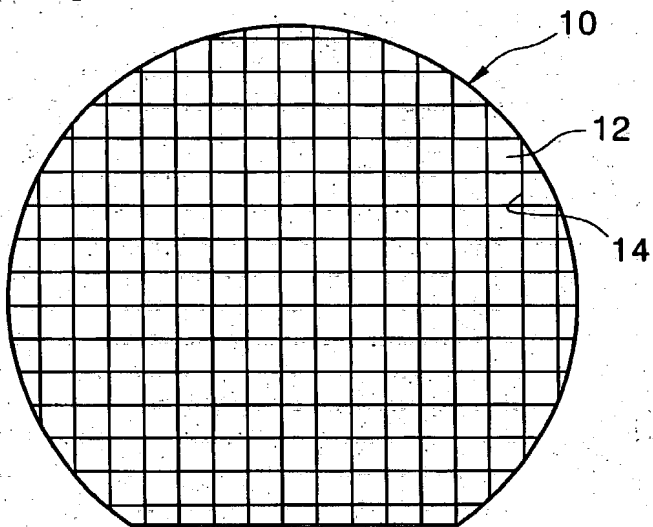
제6항에 있어서, 상기 제1마크형성영역은 박스형 어미자 형성영역이고, 상기 제2마크형성영역은 박스형 아들자 형성영역인 것을 특징으로 하는 오버레이 검사마크를 가진 반도체 장치.

【청구항 8】

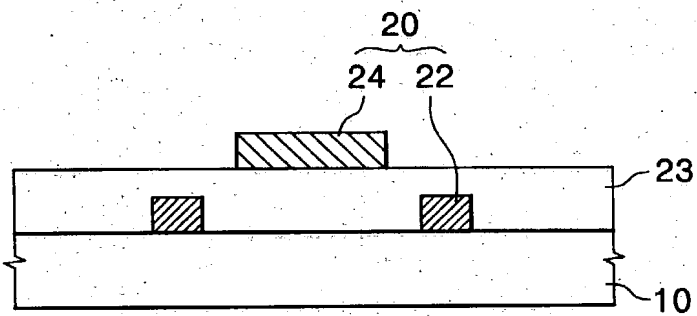
제7항에 있어서, 상기 제1패턴은 디램 셀영역의 액티브 영역패턴이고, 상기 제2패턴은 디램셀영역의 워드라인패턴인 것을 특징으로 하는 오버레이 검사마크를 가진 반도체 장치.

【도면】

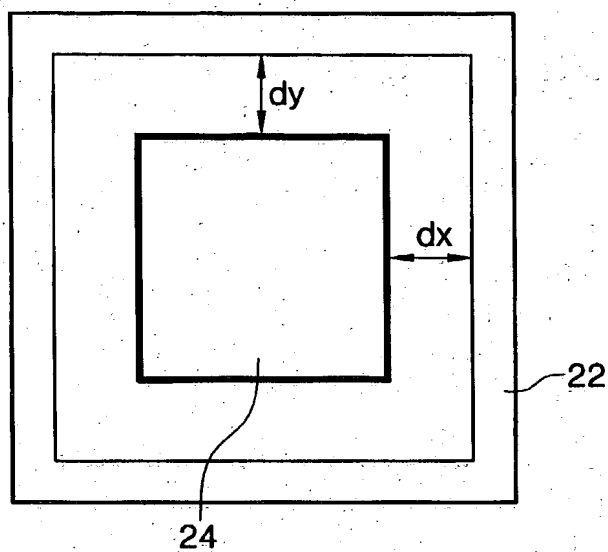
【도 1】



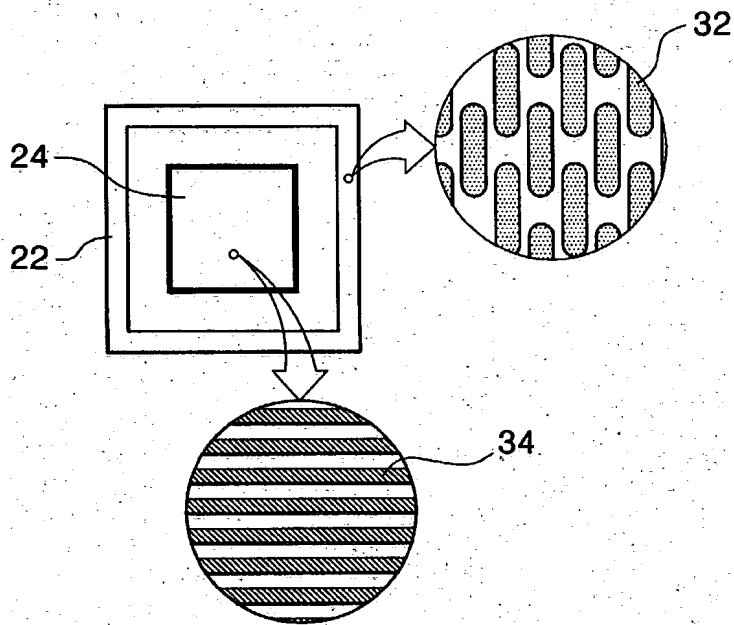
【도 2】



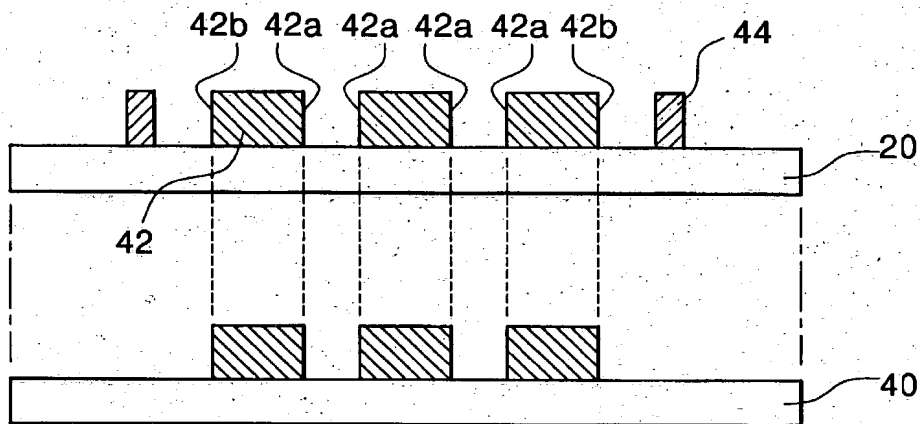
【도 3】



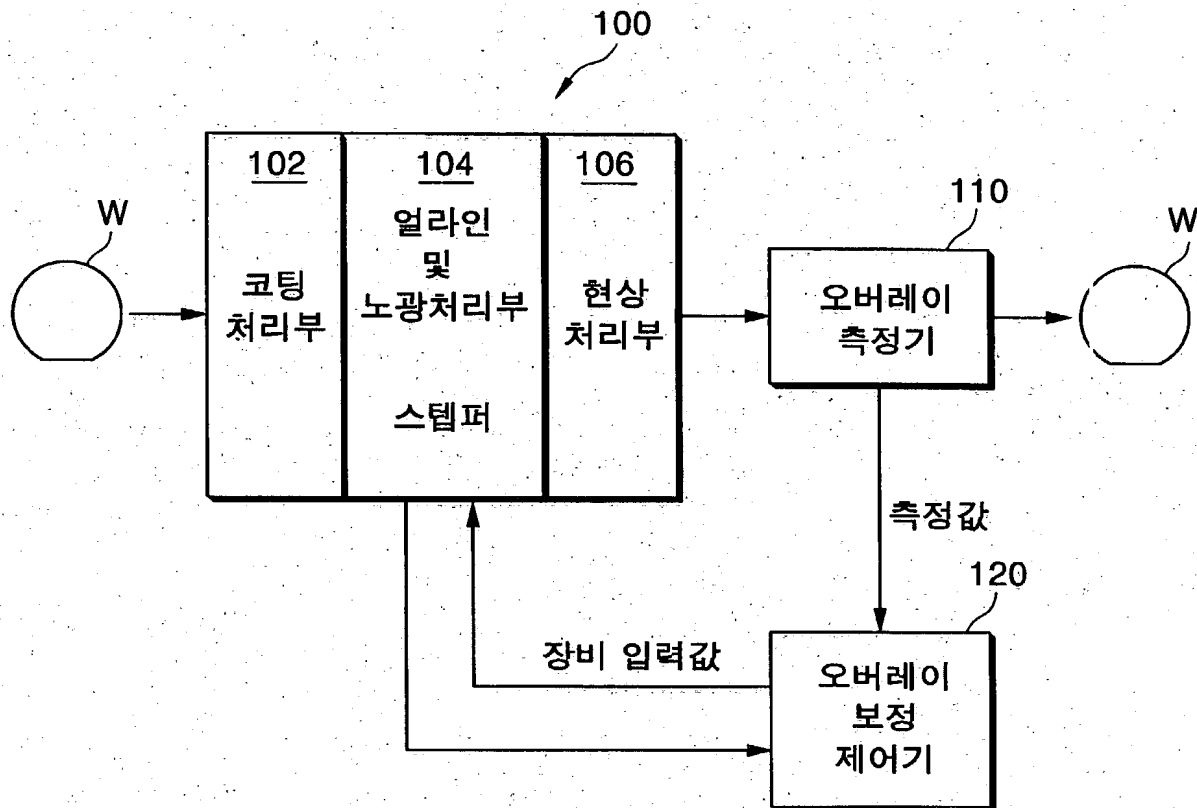
【도 4】



【도 5】



【도 6】



【도 7】

